

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-198245

(43)公開日 平成9年(1997)7月31日

(51) Int.Cl.⁶
G 0 6 F 9/06

識別記号
540

庁内整理番号

F I
G 0 6 F 9/06

540 N

技術表示箇所

審査請求 未請求 請求項の数4 OL (全 7 頁)

(21)出願番号 特願平8-7077

(22)出題日 平成8年(1996)1月19日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 藤本 幸広

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

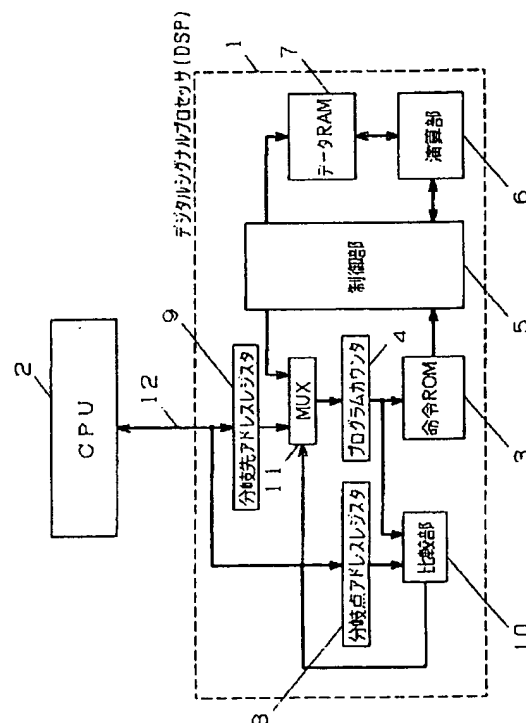
(74)代理人 弁理士 滝本 智之 (外1名)

(54)【発明の名称】 デジタルシグナルプロセッサ

(57) 【要約】

【課題】 プログラムをマスクROM化した後でも、外部からの制御によりプログラムの内容の修正、追加を可能とする。

【解決手段】 あらかじめプログラムの分岐点のアドレスと分岐先のアドレスを記憶するレジスタ8と9に、外部のCPU2から値を書き込んでおく。DSP1がプログラムの実行を始めて、分岐点のアドレスの値とプログラムカウンタ4の値が比較部10で一致することを確認すると、マルチプレクサ11が分岐先のアドレスの値をプログラムカウンタ4に書き込むことにより、プログラムカウンタ4に分岐先のアドレスがロードされてDSP1の実行は分岐点のアドレスから分岐先のアドレスへジャンプする。これにより、マスクROM化したプログラムの中の連続した命令を実行せずに飛ばすことができる。従って、マスクROM中のバグとなる命令、または余分な命令を避けて実行することができる。



【特許請求の範囲】

【請求項1】 動作を指示するプログラムを記憶する命令メモリと、この命令メモリのアドレスを指定するプログラムカウンタと、このプログラムカウンタで指定された番地の上記命令メモリの内容を読み出し、その動作を制御する制御部と、この制御部によって動作を制御される演算部と、データメモリを有するディジタルシグナルプロセッサにおいて、プログラムの分岐点のアドレスと分岐先のアドレスを記憶する手段と、分岐点のアドレスの値と上記プログラムカウンタの値を比較する手段と、分岐先のアドレスの値を上記プログラムカウンタに書き込む手段と、外部から分岐点のアドレスと分岐先のアドレスを記憶する手段に値を設定できる手段とを備えたことを特徴とするディジタルシグナルプロセッサ。

【請求項2】 動作を指示するプログラムを記憶する命令メモリと、この命令メモリのアドレスを指定するプログラムカウンタと、このプログラムカウンタで指定された番地の上記命令メモリの内容を読み出し、その動作を制御する制御部と、この制御部によって動作を制御される演算部と、データメモリを有するディジタルシグナルプロセッサにおいて、プログラムの実行の開始アドレスと停止アドレスを記憶する手段と、開始アドレスの値を上記プログラムカウンタに書き込む手段と、停止アドレスの値と上記プログラムカウンタの値を比較する手段と、外部から開始アドレスと停止アドレスを記憶する手段に値を設定できる手段と、外部から上記制御部の動作の実行、停止を制御する手段と、外部から上記制御部の動作の実行、停止を監視できる手段とを備えたことを特徴とするディジタルシグナルプロセッサ。

【請求項3】 動作を指示するプログラムを記憶する命令メモリと、この命令メモリのアドレスを指定するプログラムカウンタと、このプログラムカウンタで指定された番地の上記命令メモリの内容を読み出し、その動作を制御する制御部と、この制御部によって動作を制御される演算部と、データメモリを有するディジタルシグナルプロセッサにおいて、1つの命令語を記憶する手段と、上記命令メモリのある番地のアドレスを記憶する手段と、記憶しているアドレスの値と上記プログラムカウンタの値を比較する手段と、上記命令メモリまたは記憶している命令語かを切り替えて上記制御部に入力する手段と、外部からアドレスと命令語を記憶する手段に値を設定できる手段とを備えたことを特徴とするディジタルシグナルプロセッサ。

【請求項4】 動作を指示するプログラムを記憶する命令メモリと、この命令メモリのアドレスを指定するプログラムカウンタと、このプログラムカウンタで指定された番地の上記命令メモリの内容を読み出し、その動作を制御する制御部と、この制御部によって動作を制御される演算部と、データメモリを有するディジタルシグナルプロセッサにおいて、複数の命令語を記憶する手段と、

上記命令メモリのある番地のアドレスを記憶する手段と、記憶しているアドレスの値と上記プログラムカウンタの値を比較する手段と、上記制御部に対してサブルーチンコールの発生を要求する手段と、外部からアドレスと複数の命令語を記憶する手段に値を設定できる手段とを備えたことを特徴とするディジタルシグナルプロセッサ。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は、主にディジタル信号処理における演算処理装置等に使用するディジタルシグナルプロセッサ(DSP)に関し、特に、携帯機器に組み込まれ、動作を記述したプログラムをマスクROM化して内蔵したDSPに対し、その実行の流れを外部のホストCPUから制御できるようにするものである。

【0002】

【従来の技術】従来のDSPでは、プログラムをマスクROM化した後では、その命令ROMに記憶されているプログラムに従ってのみ動作することができる。

20 【0003】

【発明が解決しようとする課題】従来のDSPでは、プログラムをマスクROM化した後では、その命令ROMに記憶されているプログラムに従ってしか動作できないため、マスクROM化してから見つかったプログラムのバグの修正をマスクをやり直さずに行うのは非常に困難である。

30 【0004】本発明は、上記のような従来の問題を解決するものであり、プログラムをマスクROM化した後でも、外部からの制御によりプログラムの内容の修正、追加が可能なDSPを提供することを目的とする。

【0005】

40 【課題を解決するための手段】上記課題を解決するために本発明は、DSPがプログラムの実行を始める前に、あらかじめプログラムの分岐点のアドレスと分岐先のアドレスを記憶する手段に、外部のCPUなどから値を書き込んでおき、DSPがプログラムの実行を始めて、分岐点のアドレスの値とプログラムカウンタの値を比較する手段で値が一致することを検出すると、分岐先のアドレスの値をプログラムカウンタに書き込むことにより、

50 プログラムカウンタに分岐先のアドレスがロードされてDSPの実行は分岐点のアドレスから分岐先のアドレスへジャンプするように構成したものである。

【0006】これにより、マスクROM中のバグとなる命令、または余分な命令を避けて実行することができる。

【0007】

【発明の実施の形態】本発明の請求項1に記載の発明は、動作を指示するプログラムを記憶する命令メモリと、この命令メモリのアドレスを指定するプログラムカウンタと、このプログラムカウンタで指定された番地の

3

上記命令メモリの内容を読み出し、その動作を制御する制御部と、この制御部によって動作を制御される演算部と、データメモリを有するデジタルシグナルプロセッサにおいて、プログラムの分岐点のアドレスと分岐先のアドレスを記憶する手段と、分岐点のアドレスの値と上記プログラムカウンタの値を比較する手段と、分岐先のアドレスの値を上記プログラムカウンタに書き込む手段と、外部から分岐点のアドレスと分岐先のアドレスを記憶する手段に値を設定できる手段とを備えたものであり、マスクROM化したプログラムの中の連続した命令を実行せずに飛ばすことができ、マスクROM中のバグとなる命令、または余分な命令を避けて実行することができるという作用を有する。

【0008】請求項2に記載の発明は、動作を指示するプログラムを記憶する命令メモリと、この命令メモリのアドレスを指定するプログラムカウンタと、このプログラムカウンタで指定された番地の上記命令メモリの内容を読み出し、その動作を制御する制御部と、この制御部によって動作を制御される演算部と、データメモリを有するデジタルシグナルプロセッサにおいて、プログラムの実行の開始アドレスと停止アドレスを記憶する手段と、開始アドレスの値を上記プログラムカウンタに書き込む手段と、停止アドレスの値と上記プログラムカウンタの値を比較する手段と、外部から開始アドレスと停止アドレスを記憶する手段に値を設定できる手段と、外部から上記制御部の動作の実行、停止を制御する手段と、外部から上記制御部の動作の実行、停止を監視できる手段とを備えたものであり、マスクROM化したプログラムの中の任意の連続した命令のみ実行することができ、マスクROM中のバグとなる命令、または余分な命令を避けて実行することができ、また、命令の実行の順番を変える換えることも可能となるという作用を有する。

【0009】請求項3に記載の発明は、動作を指示するプログラムを記憶する命令メモリと、この命令メモリのアドレスを指定するプログラムカウンタと、このプログラムカウンタで指定された番地の上記命令メモリの内容を読み出し、その動作を制御する制御部と、この制御部によって動作を制御される演算部と、データメモリを有するデジタルシグナルプロセッサにおいて、1つの命令語を記憶する手段と、上記命令メモリのある番地のアドレスを記憶する手段と、記憶しているアドレスの値と上記プログラムカウンタの値を比較する手段と、上記命令メモリかまたは記憶している命令語かを切り替えて上記制御部に入力する手段と、外部からアドレスと命令語を記憶する手段に値を設定できる手段とを備えたものであり、マスクROM化したプログラムの中の任意の1命令を書き換えることができ、バグとなる命令を修正することができるという作用を有する。

【0010】請求項4に記載の発明は、動作を指示するプログラムを記憶する命令メモリと、この命令メモリの

4

アドレスを指定するプログラムカウンタと、このプログラムカウンタで指定された番地の上記命令メモリの内容を読み出し、その動作を制御する制御部と、この制御部によって動作を制御される演算部と、データメモリを有するデジタルシグナルプロセッサにおいて、複数の命令語を記憶する手段と、上記命令メモリのある番地のアドレスを記憶する手段と、記憶しているアドレスの値と上記プログラムカウンタの値を比較する手段と、上記制御部に対してサブルーチンコールの発生を要求する手段と、外部からアドレスと複数の命令語を記憶する手段に値を設定できる手段とを備えたものであり、マスクROM化したプログラム中の任意の場所に複数の命令を追加することができるという作用を有する。

【0011】以下、本発明の実施の形態について図面を参照しながら説明する。

(実施の形態1) 図1は本発明の第1の実施の形態によるデジタルシグナルプロセッサ(DSP)を示すブロック図である。

【0012】図1において、1はDSP、2は外部のCPUである。DSP1において、3は書き換えできない命令ROMであり、動作を指示するプログラムを記憶する。4は命令ROM3のアドレスを指定するプログラムカウンタ、5はプログラムカウンタ4で指定された番地の命令ROM3の内容を読み出し、その内容によりDSP1の動作を制御する制御部、6は制御部5によって動作を制御され、信号処理の演算を行う演算部、7は制御部5によって動作を制御され、演算部6との間でデータの読み書きを行うデータRAMである。

【0013】8はプログラムの分岐点のアドレスを記憶する分岐点アドレスレジスタ、9はプログラムの分岐先のアドレスを記憶する分岐先アドレスレジスタ、10は分岐点アドレスレジスタ8とプログラムカウンタ4の内容を比較し、一致したか否かの信号を出力する比較部、11は分岐先アドレスレジスタ9の内容が制御部5からの出力かどちらをプログラムカウンタ4に書き込むかを選択するマルチプレクサである。12はCPUバスであり、分岐点アドレスレジスタ8と分岐先アドレスレジスタ9に接続され、CPU2からの分岐点アドレスレジスタ8と分岐先アドレスレジスタ9の内容の設定、読み出しを行う。

【0014】図2は上記DSP1の動作説明図である。図2において、分岐点アドレスレジスタ8の内容は命令ROM3のアドレスnを示し、分岐先アドレスレジスタ9の内容は命令ROM3のアドレスmを示している。

【0015】以上の構成において、以下、その動作について説明する。DSP1が命令ROM3のある番地からプログラムの実行を始める前に、あらかじめ、CPU2からCPUバス12を通してプログラムの分岐点のアドレスnを分岐点アドレスレジスタ8に、プログラムの分岐先のアドレスmを分岐先アドレスレジスタ9に書き込

む。その後、DSP1は命令ROM3のプログラムの実行を始める。DSP1がプログラムを実行していくうちに、プログラムカウンタ4がアドレスnになったことを分岐点アドレスレジスタ8と比較部10で比較することにより検出し、この結果をマルチプレクサ11へ送り、マルチプレクサ11は分岐先アドレスレジスタ9を選択し、その結果、分岐先アドレスレジスタ9の内容であるアドレスmがプログラムカウンタ4に書き込まれる。これにより、DSP1の実行は分岐点のアドレスnから分岐先のアドレスmへジャンプする。

【0016】これにより、DSP1はマスクROM化した命令ROM3のプログラムの中のアドレスnからアドレスmまでの間の連続した命令を実行せずに飛ばすことができる。したがって、命令ROM3の中にバグとなる命令があった場合、または余分な命令があった場合にこれらの命令を避けて実行することができる。

(実施の形態2) 図3は本発明の第2の実施の形態によるデジタルシグナルプロセッサ(DSP)を示すブロック図である。

【0017】図3において、1はDSP、2は外部のCPUである。DSP1において、3は書き換えできない命令ROMであり、動作を指示するプログラムを記憶する。4は命令ROM3のアドレスを指定するプログラムカウンタ、5はプログラムカウンタ4で指定された番地の命令ROM3の内容を読み出し、その内容によりDSP1の動作を制御する制御部、6は制御部5によって動作を制御され、信号処理の演算を行う演算部、7は制御部5によって動作を制御され、演算部6との間でデータの読み書きを行うデータRAMである。

【0018】31はプログラムの実行終了のアドレスを記憶する終了アドレスレジスタ、32はプログラムの実行開始のアドレスを記憶する開始アドレスレジスタ、33は終了アドレスレジスタ31とプログラムカウンタ4の内容を比較し、一致したか否かの信号を出力する比較部、34は開始アドレスレジスタ32の内容が制御部5からの出力かどちらをプログラムカウンタ4に書き込むかを選択するマルチプレクサ、35は制御部5の動作の実行、停止を制御する実行/停止制御部である。12はCPUバスであり、終了アドレスレジスタ31と開始アドレスレジスタ32と実行/停止制御部35に接続され、CPU2から終了アドレスレジスタ31と開始アドレスレジスタ32の内容の設定、読み出し、DSP1の実行、停止の設定、またはDSP1が実行中か停止中かの情報の読み出しを実行/停止制御部35に対して行う。

【0019】図4は上記DSP1の動作説明図である。図4において、終了アドレスレジスタ31の内容は命令ROM3のアドレスmを示し、開始アドレスレジスタ32の内容は命令ROM3のアドレスnを示している。

【0020】以上の構成において、以下、その動作につ

いて説明する。CPU2からCPUバス12を通して実行/停止制御部35に対してDSP1の停止を設定し、実行/停止制御部35は制御部5を停止させる。次に、CPU2からCPUバス12を通してプログラムの開始アドレスnを開始アドレスレジスタ32に、プログラムの終了アドレスmを終了アドレスレジスタ31に書き込む。次に、CPU2からCPUバス12を通して実行/停止制御部35に対してDSP1の実行を設定し、実行/停止制御部35はマルチプレクサ34に対して開始アドレスレジスタ32の内容を選択させ、プログラムカウンタ4に開始アドレスレジスタ32の内容を書き込み、制御部5を動作させる。

【0021】そして、DSP1は命令ROM3のアドレスnからプログラムの実行を始める。DSP1がプログラムを実行していくうちに、プログラムカウンタ4がアドレスmになったことを終了アドレスレジスタ31と比較部33で比較することにより検出し、この結果を実行/停止制御部35に送り、実行/停止制御部35は制御部5を停止させる。これにより、DSP1は開始アドレスnから終了アドレスmの間の命令を実行した後、動作を停止する。CPU2はCPUバス12を通して実行/停止制御部35からDSP1が停止したことを検出し、新たにプログラムの開始アドレスを開始アドレスレジスタ32に、プログラムの終了アドレスを終了アドレスレジスタ31に書き込み、DSPを動作させることができる。

【0022】したがって、DSP1はCPU2からの制御によりマスクROM化した命令ROM3のプログラムの中の任意のアドレスnからアドレスmまでの間の連続した命令のみを実行することができ、命令ROM3の中にバグとなる命令があった場合、または余分な命令があった場合にこれらの命令を避けて実行することができる。また、命令の実行の順番を変えることも可能となる。

(実施の形態3) 図5は本発明の第3の実施の形態によるデジタルシグナルプロセッサ(DSP)を示すブロック図である。

【0023】図5において、1はDSP、2は外部のCPUである。DSP1において、3は書き換えできない命令ROMであり、動作を指示するプログラムを記憶する。4は命令ROM3のアドレスを指定するプログラムカウンタ、5はプログラムカウンタ4で指定された番地の命令ROM3の内容を読み出し、その内容によりDSP1の動作を制御する制御部、6は制御部5によって動作を制御され、信号処理の演算を行う演算部、7は制御部5によって動作を制御され、演算部6との間でデータの読み書きを行うデータRAMである。

【0024】51は命令ROM3の中の命令を置き換えた1つのアドレスを記憶する置換アドレスレジスタ、52は1つの命令語を記憶する命令レジスタ、53は置

10

20

30

40

50

7

換アドレスレジスタ51とプログラムカウンタ4の内容を比較し、一致したか否かの信号を出力する比較部、54は命令レジスタ52の内容か命令ROM3からの出力かどちらを制御部5に入力するかを選択するマルチプレクサである。12はCPUバスであり、置換アドレスレジスタ51と命令レジスタ52に接続され、CPU2から置換アドレスレジスタ51と命令レジスタ52の内容の設定、読み出しを行う。

【0025】図6は上記DSP1の動作説明図である。図6において、置換アドレスレジスタ51の内容は命令ROM3のアドレスnを示している。

【0026】以上の構成において以下、その動作について説明する。DSP1が命令ROM3のある番地からプログラムの実行を始める前に、あらかじめ、CPU2からCPUバス12を通して命令ROM3の内容を置き換えるアドレスnを置換アドレスレジスタ51に、命令ROM3のアドレスnの置き換える内容を命令レジスタ52に書き込む。その後、DSP1は命令ROM3のプログラムの実行を始める。DSP1がプログラムを実行していくうちに、プログラムカウンタ4がアドレスnになったことを置換アドレスレジスタ51と比較部53で比較することにより検出し、この結果をマルチプレクサ54に送り、マルチプレクサ54は命令レジスタ52を選択し、その結果、命令レジスタ52の内容が制御部5に入力され、DSP1は命令ROM3のアドレスnの内容を実行せず、命令レジスタ52の内容を実行する。これにより、マスクROM化したプログラムの中の任意の1命令を書き換えることができ、バグとなる命令を修正することができる。

（実施の形態4）図7は本発明の第4の実施の形態によるデジタルシグナルプロセッサ（DSP）を示すブロック図である。

【0027】図7において、1はDSP、2は外部のCPUである。DSP1において、3は書き換えできない命令ROMであり、動作を指示するプログラムを記憶する。4は命令ROM3のアドレスを指定するプログラムカウンタ、5はプログラムカウンタ4で指定された番地の命令ROM3の内容を読み出し、その内容によりDSP1の動作を制御する制御部、6は制御部5によって動作を制御され、信号処理の演算を行う演算部、7は制御部5によって動作を制御され、演算部6との間でデータの読み書きを行うデータRAMである。

【0028】71は命令ROM3上に複数の命令を挿入したい位置を示すアドレスを記憶する挿入アドレスレジスタ、72は複数の命令語を記憶する命令RAM、73は挿入アドレスレジスタ71とプログラムカウンタ4の内容を比較し、一致したか否かの信号を出力する比較部、74は命令RAM72の内容か命令ROM1からの出力かどちらを制御部5に入力するかを選択するマルチプレクサ、75は比較部73の結果により制御部5に対

8

してサブルーチンコール命令を発生させる命令発生部である。12はCPUバスであり、挿入アドレスレジスタ71と命令RAM72に接続され、CPU2から挿入アドレスレジスタ71と命令RAM72の内容の設定、読み出しを行う。

【0029】図8は上記DSP1の動作説明図である。図8において、挿入アドレスレジスタ71の内容は命令ROM3のアドレスnを示している。命令RAM72のアドレスmは命令ROM3のアドレスの範囲外に割り当て

【0030】以上の構成において以下、その動作について説明する。DSP1が命令ROM3のある番地からプログラムの実行を始める前に、あらかじめ、CPU2からCPUバス12を通して命令ROM3上に複数の命令を挿入したい位置を示すアドレスを挿入アドレスレジスタ71に、挿入したい命令の内容を命令RAM72に書き込む。その後、DSP1は命令ROM3のプログラムの実行を始める。DSP1がプログラムを実行していくうちに、プログラムカウンタ4がアドレスnになったことを挿入アドレスレジスタ71と比較部73で比較することにより検出し、この結果をコール命令発生部75とマルチプレクサ74に送り、コール命令発生部75は制御部5に対してサブルーチンコール命令を発生を要求し、プログラムカウンタ4に命令RAM72の先頭アドレスmをロードさせ、DSP1の実行を命令RAM72の先頭アドレスmに分岐させる。同時に、マルチプレクサ74は命令RAM72を選択する。その結果、命令RAM72の内容が制御部5に入力され、DSP1は命令ROM3のアドレスnから続いて命令RAM72の内容を実行する。このとき、あらかじめ命令RAM72の任意のアドレスにサブルーチンコールに対応したリターン命令を書き込んでおくことにより、DSP1は命令RAM72の内容を実行した後、命令ROM3のアドレスn+1番地から実行を継続することができる。これにより、マスクROM化したプログラム中の任意の場所に複数の命令を追加することができる。

【0031】

【発明の効果】以上説明したように本発明によれば、DSPのプログラムをマスクROM化した後でも、外部からの制御によりプログラムの内容の修正、追加が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるデジタルシグナルプロセッサを示すブロック図

【図2】同デジタルシグナルプロセッサの動作説明図

【図3】本発明の第2の実施の形態によるデジタルシグナルプロセッサを示すブロック図

【図4】同デジタルシグナルプロセッサの動作説明図

【図5】本発明の第3の実施の形態によるデジタルシグナルプロセッサを示すブロック図

12 CPUバス

3.1 終了アドレスレジスタ

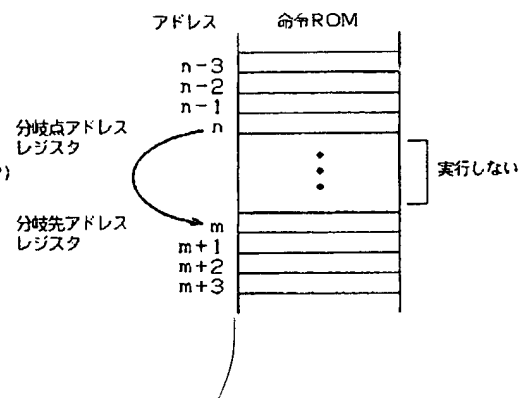
3.2 開始アドレスレジスタ

3 3 比較部

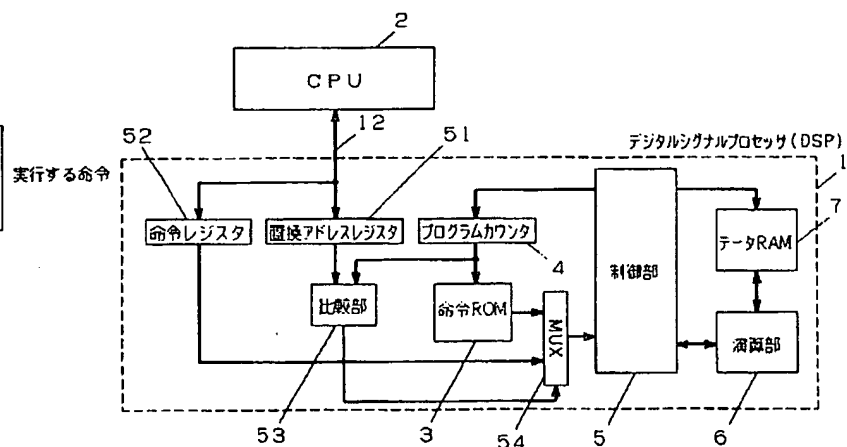
34 マルチプレクサ

- | | |
|--------|------------|
| 3 5 | 実行／停止制御部 |
| 5 1 | 置換アドレスレジスタ |
| 5 2 | 命令レジスタ |
| 5 3 | 比較部 |
| 10 5 4 | マルチプレクサ |
| 7 1 | 挿入レジスタ |
| 7 2 | 命令RAM |
| 7 3 | 比較部 |
| 7 4 | マルチプレクサ |
| 7 5 | コール命令発生部 |

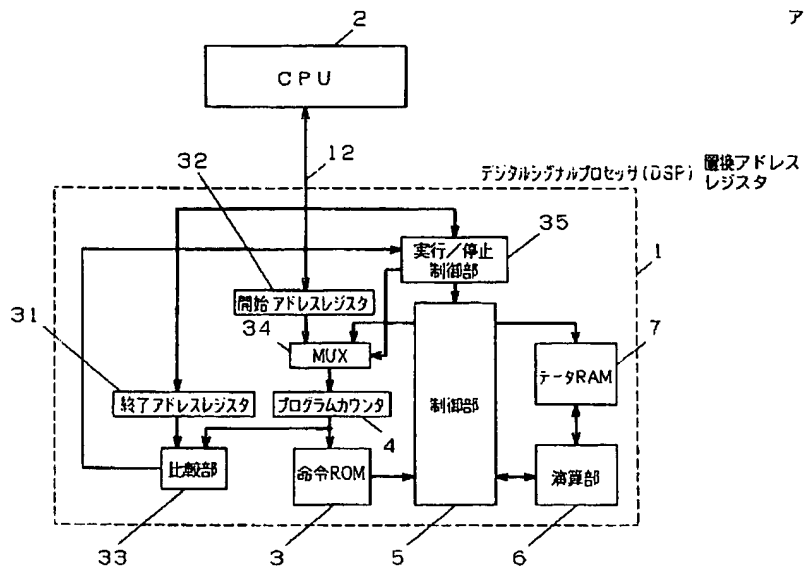
【図 2】



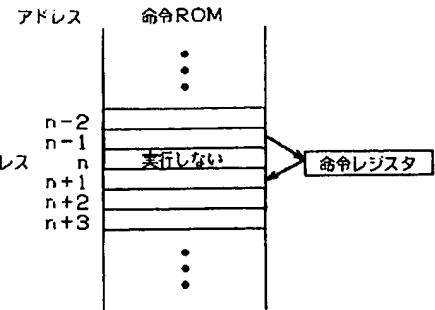
【図 5】



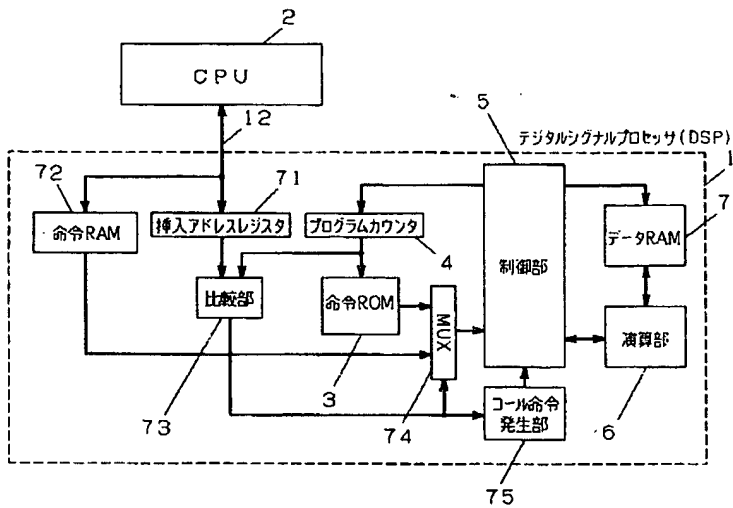
【図3】



【図6】



【図7】



【図8】

